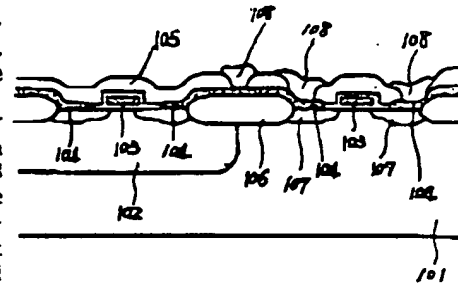


**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 57-128058 (A) (43) 9.8.1982 (19) JP  
 (21) Appl. No. 55-176933 (22) 15.12.1980  
 (71) SUWA SEIKOSHA K.K. (72) MASAHIRO YAMADA  
 (51) Int. Cl. H01L27/08, H01L29/78

**PURPOSE:** To enable to perform a contact self-alignment for both P and N channels by a method wherein a metal is formed on an N type polycrystalline Si, and subsequently, they are brought into a metal silicide state by reacting the metal and the N type polycrystalline Si.

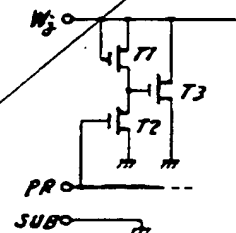
**CONSTITUTION:** A P-well 102 is formed in an N type substrate 101, and after a gate oxidation has been performed, a polycrystalline Si is deposited, and an N<sup>+</sup> diffusion is performed on the polycrystalline Si. Subsequently, a gate 103 and a wiring 104 are formed, and using the above as a resist mask, the source and drain for a P and N channel FET is formed, and then an inter-layer insulating film 105 is deposited. Then, a metal 108 is evaporated on the contacted part of the P-channel FET, and a photoetching is performed. Subsequently, a metal silicide is formed by performing a heat treatment wherein a metal 108 and a polycrystalline Si 104 are reacted. Accordingly, the P-N junction of the P-channel contact part, which existed before it was brought into a silicide state, disappears and the ohmic contact can be maintained between the source and drain 107 of the P-channel FET and the polycrystalline Si 104.

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT**

(11) 57-128059 (A) (43) 9.8.1982 (19) JP  
 (21) Appl. No. 56-136448 (22) 31.8.1981  
 (71) NIPPON DENKI K.K. (72) TOSHIO WADA  
 (51) Int. Cl. H01L27/10, H01L29/78, G11C17/00

**PURPOSE:** To prevent the effect of electrostatic field arising while the subject semiconductor integrated circuit is handled by a method wherein the increase of the voltage of the input terminal in excess of the prescribed value is prevented by conducting the switching circuit when the voltage of the input terminal is increased above the prescribed value.

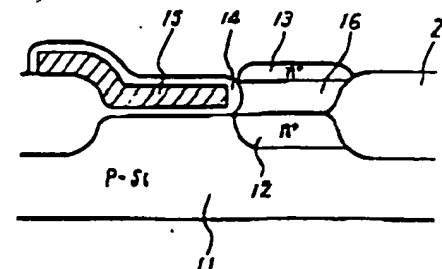
**CONSTITUTION:** The inverter circuit, consisting of a load transistor TRT<sub>1</sub>, a driving TRT<sub>1</sub>, and a leakage TRT<sub>1</sub>, is brought in the row line Ej of a memory circuit and the writing-in terminal PR which supplies semiselective writing-in voltage. According to this circuit constitution, the TRT<sub>1</sub> is turned to ON position unless the semiselective writing-in voltage is given to the terminal PR, even when the writing-in voltage in excess of threshold is applied to the row line Wj, and therefore, the row line Ej is earthed and no electric potential of the row line alone is increased due to the effect of the electrostatic field. Also, the TRT<sub>2</sub> is turned to ON position when voltage is applied to the terminal PR, the gate electrode of the TRT<sub>1</sub> is lowered and OFF position is given to the TRT<sub>1</sub>, thereby enabling to perform a write-in operation.

**(54) SEMICONDUCTOR DEVICE**

(11) 57-128060 (A) (43) 9.8.1982 (19) JP  
 (21) Appl. No. 56-187286 (22) 19.11.1981  
 (71) MITSUBISHI DENKI K.K. (72) KOICHI NAGASAWA(4)  
 (51) Int. Cl. H01L27/10, G11C11/34, H01L29/78

**PURPOSE:** To enable to improve the integrational density without reducing the measurements and shape of each element by a method wherein each section of the device is arranged in three dimensional manner.

**CONSTITUTION:** An N<sup>+</sup> type diffusion region 12 and an N type diffusion region 113 are arranged on the upper and the lower parts of a semiconductor layer 16, a gate electrode 15 is arranged on the layer 16 and the semiconductor layer 11 is used as a channel region. Accordingly, a drain and source can be formed in longitudinal direction as an MOS type transistor. Also, as the gate length (the interval between source and drain), which is the main parameter of the transistor, can be easily controlled by changing the thickness of the electrode 15, the integrational density can be improved.



BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-128058

⑪ Int. Cl.<sup>3</sup>  
H 01 L 27/08  
29/78

識別記号

庁内整理番号  
6426-5F  
7377-5F

⑬ 公開 昭和57年(1982)8月9日

発明の数 1  
審査請求 未請求

(全 2 頁)

⑭ 半導体装置の製造方法

会社諏訪精工舎内

⑮ 特 願 昭55-176933

⑯ 出 願 人 株式会社諏訪精工舎

⑰ 出 願 昭55(1980)12月15日

東京都中央区銀座4丁目3番4号

⑱ 発 明 者 山田正弘

⑲ 代 理 人 弁理士 最上務

諏訪市大和3丁目3番5号株式

明 細 書

1 発明の名称 半導体装置の製造方法

2 特許請求の範囲

(1) N型ポリシリコンをゲート配線として用いた相補型MOS半導体装置に於いて、P型拡散層と該N型ポリシリコン配線とのコンタクト部で、該N型ポリシリコン上に、金属を形成し、その後該金属と該N型ポリシリコンを反応せしめ、金属シリサイド化することを特徴とする半導体装置の製造方法。

(2) 上記半導体装置に於いて、金属として、コバルト、ニッケル、白金、~~ニッケル~~ タンタル、モリブデン、タングステン等高融点金属及びそれらの合金を用いることを特徴とする請求範囲第1項記載の半導体装置の製造方法。

3 発明の詳細な説明

本発明は、いわゆる同極ポリシリコンを用いた

相補型MOS半導体装置(以下C-MOSICと略す)P及びNチャネルのソース・ドレインのコンタクト配線に、N型ポリシリコンを用いた時のPチャネル側でのPNジャンクションの除去に関する。最近、シリコンゲートC-MOSICに於いて、N型ポリシリコンをゲート配線に用いた同極ポリシリコンプロセスが注目されてきている。この同極ポリシリコンを用いたC-MOSICは、従来のP及びN型ポリシリコンをゲート配線に用いたC-MOSICに比べ、ゲート配線に全てN型ポリシリコンを用いるため、P及びNチャネルトランジスタのしきい値電圧が安定し、しかも、N型ポリシリコンはP型ポリシリコンに比べ、比抵抗を半分以下に制御できるため、配線抵抗を軽減できるので、スピード、微細化ともにすぐれている。

ただ、配線を全てN型ポリシリコンを用いて形成するため、そのままではPチャネルトランジスタのソース・ドレインとオーミックなコンタクトはとれない。そこで従来の方法では、Pチャ

ネルトランジスタ部のコンタクトは、金属（主にアルミニウム）で行っていた。そのため、N型同極ポリシリコンを用いたC-MOS I Cでは、C-B-A (Contact Self Align) は、Nチャネルでしか行うことができなかった。本発明は、N型同極ポリシリコンをゲート配線に用いたC-MOS I Cでありながら、しかも、Pチャネルトランジスタのソース・ドレインとのコンタクト配線をN型ポリシリコンで形成できる半導体装置である。そのため、N型同極ポリシリコンを用いたにもかかわらず、P、NチャネルともCBAが行えるというすぐれた特徴をもつ。

第1図に本発明のC-MOS I Cの断面図を示す。ここではP、Nチャネルともゲート105配線104にN型ポリシリコンを用い、しかもCBAを行っている。基板101はN型基板を用いNチャネルトランジスタを形成するためPウェル102をイオン打込みで形成している。工学的には、従来のシリコンゲートC-MOS I Cと殆んど変っていない。ゲート酸化後ポリシリ

コンをデポし、抵抗点を下げる目的でこのポリシリコンにN+の熱拡散を行い、その後ゲート105及び配線104をフォトリソで形成し、レジストマスクにして、P及びNチャネルトランジスタのソース・ドレインを形成している。次に、層間絶縁膜106をデポしている。ただ、このままではNチャネルトランジスタポリシリコン配線はとれるが、PチャネルトランジスタではP型拡散層であるソース・ドレイン107とN型ポリシリコン間にPNジャンクションが出来るため、オーミックなコンタクトがとれないため、Pチャネルトランジスタのコンタクト部に、金属108を電子ビーム等で蒸着し、さらにフォトリソで形成した。しかもこの金属で、パッドや第2層配線も形成するので、従来のC-MOS I Cのアルミニウムとはほぼ同様な機能をはたす。ここでは、金属としてニッケルを用いた。その後、N<sub>2</sub>雰囲気中で400℃で120分の熱処理を行いニッケルとP+とN型ポリシリコン104が反応してニッケルシリサイド (NiSi) を形成した。これにエ

リ、シリサイド化する前にあつたPチャネルコンタクト部にあつたPNジャンクションは消滅し、Pチャネルトランジスタのソース・ドレイン107とN型ポリシリコン104がオーミックな接触をもつことができる。このように、本発明を用いれば、従来の同極ポリシリコンを用いたC-MOS I Cと工学的にはなんら変ることなくしかも、P、NチャネルともCBAが行えるため、微細化に適したC-MOS I Cの構造及び製造方法と云える。

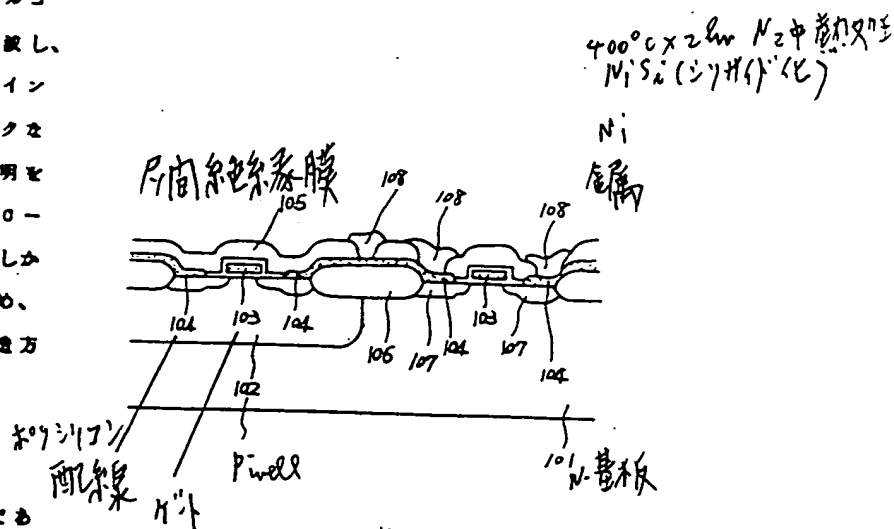
#### 4 図面の簡単な説明

第1図が本発明のC-MOS I Cの断面図である。

104がN型ポリシリコンであり、107がPチャネルトランジスタのソース及びドレイン、108がニッケルである。

以 上

出願人 株式会社東武精工  
代理人 弁理士 最上



第1図

BEST AVAILABLE COPY